



(2)

1

## 【特許請求の範囲】

【請求項1】 行列状に配列された複数の画素であつて、光電変換によって信号電荷を生成し、前記信号電荷に対応する信号情報を蓄積することのできる信号蓄積部を含む複数の画素と、電子シャッター動作のためのリセット信号を生成し、電子シャッター動作のために選択した行の画素に前記リセット信号を送出し、それによって前記選択した行の画素に含まれる前記信号蓄積部をリセットするリセット信号送出手段と、信号読み出し動作のために前記複数の画素から少なくとも1行の画素を順次選択する行選択手段と、前記信号読み出し動作のために前記行選択手段によって選択された行の画素に含まれる前記信号蓄積部内に蓄積されている前記信号情報を読み出す信号検出回路であつて、第1電源供給部と第2の電源供給部との間に直列的に接続された増幅器を有し、前記第1電源供給部と前記第2の電源供給部との間に電流を流すことによって前記信号情報を検知し、増幅した信号情報を出力する信号検出回路と、を備えた増幅型固体撮像装置であつて、任意の画素行に対して前記リセット信号送出手段が前記リセット信号を送出するタイミングは、前記行選択手段が前記読み出し動作のために他の画素行を選択するタイミングと重複していることを特徴する増幅型固体撮像装置。

【請求項2】 行列状に配列された複数の画素であつて、各々が光電変換によって信号電荷を生成し、前記信号電荷に対応する信号情報を蓄積することのできる信号蓄積部を含む複数の画素と、電子シャッター動作のためのリセット信号を生成し、電子シャッター動作のために選択した行の画素に前記リセット信号を送出し、それによって前記選択した行の画素に含まれる前記信号蓄積部をリセットするリセット信号送出手段と、信号読み出し動作のために前記複数の画素から少なくとも1行の画素を順次選択する行選択手段と、前記信号読み出し動作のために前記行選択手段によって選択された行の画素に含まれる前記信号蓄積部内に蓄積されている前記信号情報を読み出す信号検出回路であつて、第1電源供給部と第2の電源供給部との間に直列的に接続された増幅器を有し、前記第1電源供給部と前記第2の電源供給部との間に電流を流すことによって前記信号情報を検知し、増幅した信号情報を出力する信号検出回路と、を備えた増幅型固体撮像装置であつて、前記画素の行数が1フレーム期間内に含まれる水平同期信号の数(HD数)に等しいことを特徴とする増幅型固体撮像装置。

【請求項3】 前記複数の画素は、有効画素領域に設け

2

られた撮像用画素群と、前記有効画素領域以外の領域に設けられたダミー画素群とに分けられており、前記ダミー画素群に含まれる画素の行数は、前記1フレーム期間内に含まれる水平同期信号の数から前記撮像用画素群に含まれる画素の行数を引いた数に等しくなるように設定されていることを特徴とする請求項1または2に記載の増幅型固体撮像装置。

【請求項4】 行列状に配列された複数の画素であつて、各々が光電変換によって信号電荷を生成し、前記信号電荷に対応する信号情報を蓄積することのできる信号蓄積部を含む複数の画素と、電子シャッター動作のためのリセット信号を生成し、電子シャッター動作のために選択した行の画素に前記リセット信号を送出し、それによって前記選択した行の画素に含まれる前記信号蓄積部をリセットするリセット信号送出手段と、信号読み出し動作のために前記複数の画素から少なくとも1行の画素を順次選択する行選択手段と、前記信号読み出し動作のために前記行選択手段によって選択された行の画素に含まれる前記信号蓄積部内に蓄積されている前記信号情報を読み出す信号検出回路であつて、第1電源供給部と第2の電源供給部との間に直列的に接続された増幅器を有し、前記第1電源供給部と前記第2の電源供給部との間に電流を流すことによって前記信号情報を検知し、増幅した信号情報を出力する信号検出回路と、を備えた増幅型固体撮像装置であつて、前記複数の画素は、有効画素領域に設けられた撮像用画素群と、前記有効画素領域以外の領域に設けられた少なくともひとつのダミー画素行とに分けられており、各フレームにおいて前記撮像用画素群に含まれる画素行の前記行選択手段による選択が終了した後、次のフレームが開始されるまで前記ダミー画素行に対して擬似的な信号読み出し動作を繰り返し実行させるダミー行選択手段を更に備えていることを特徴とする増幅型固体撮像装置。

【請求項5】 行列状に配列された複数の画素であつて、各々が光電変換によって信号電荷を生成し、前記信号電荷に対応する信号情報を蓄積することのできる信号蓄積部を含む複数の画素と、電子シャッター動作のためのリセット信号を生成し、電子シャッター動作のために選択した行の画素に前記リセット信号を送出し、それによって前記選択した行の画素に含まれる前記信号蓄積部をリセットするリセット信号送出手段と、信号読み出し動作のために前記複数の画素から少なくとも1行の画素を選択する行選択手段と、前記信号読み出し動作のために前記行選択手段によって選択された行の画素に含まれる前記信号蓄積部内に蓄積されている前記信号情報を読み出す信号検出回路であつて、第1電源供給部と第2の電源供給部との間に直列的

(3)

3

に接続された増幅器を有し、前記第1電源供給部と前記第2の電源供給部との間に電流を流すことによって前記信号情報を検知し、増幅した信号情報を出力する信号検出回路と、

を備えた増幅型固体撮像装置であって、前記複数の画素は、有効画素領域に設けられた撮像用画素群と、前記有効画素領域以外の領域に設けられた少なくともひとつのダミー画素行とに分けられており、前記行選択手段によって前記撮像用画素群に含まれる画素行が選択されていない場合において、前記電子シャッター動作のためのリセット信号が前記撮像用画素群に含まれる画素行に送出される期間と重複する期間に前記ダミー画素行を選択し、前記ダミー画素行に対して擬似的な信号読み出し動作を繰り返し実行させるダミー行選択手段を更に備えていることを特徴とする増幅型固体撮像装置。

【請求項6】 前記リセット信号送出手段は、前記行選択手段内に含まれていることを特徴とする請求項1から5の何れかに記載の増幅型固体撮像装置。

【請求項7】 前記信号検出回路の前記増幅器は、画素毎に設けられた駆動素子と、画素列毎に設けられた負荷素子とによって構成されていることを特徴とする請求項1から5の何れかに記載の増幅型固体撮像装置。

【請求項8】 前記駆動素子は、前記信号蓄積部に接続されたゲート電極と、前記第1電源供給部分に接続されたドレインと、前記負荷素子に接続されたソースとを備えたトランジスタであることを特徴とする請求項1から5の何れかに記載の増幅型固体撮像装置。

【請求項9】 前記駆動素子および前記負荷素子がソースフォロワー回路を形成していることを特徴とする請求項1から5の何れかに記載の増幅型固体撮像装置。

【請求項10】 前記信号蓄積部が、光電変換を行うフォトダイオードと、前記フォトダイオードが生成した電荷を蓄積する容量素子と、前記フォトダイオードと前記容量素子との間の電氣的導通／非導通を調整するトランジスタとを備えていることを特徴とする請求項1から5の何れかに記載の増幅型固体撮像装置。

【請求項11】  $m$ 個の画素行 ( $2 \leq m$ ) を備えた増幅型固体撮像装置であって、少なくとも1行のダミー画素行を備えており、前記  $m$  個の画素行のうちの第  $i$  行 ( $1 \leq i \leq m$ ) に対して電子シャッター動作のためのリセット信号を与えるとき、前記  $m$  個の画素行のうちの第  $n$  行 ( $1 \leq n \leq m$ ,  $n \neq i$ ) または前記ダミー画素行の何れかを選択し、読み出し動作を行うことを特徴とする増幅型固体撮像装置。

【請求項12】 有効画素領域内の  $m$  個の画素行 ( $2 \leq m$ ) と、有効画素領域外の少なくとも1行のダミー画素行とを備えた増幅型固体撮像装置の駆動方法であって、前記  $m$  個の画素行のうちの第  $i$  行 ( $1 \leq i \leq m$ ) に対して電子シャッター動作のためのリセット信号を与える

4

き、常に前記  $m$  個の画素行内の第  $n$  行 ( $1 \leq n \leq m$ ,  $n \neq i$ ) または前記ダミー画素行の何れかを選択し、読み出し動作を行うことを特徴とする増幅型固体撮像装置の駆動方法。

【請求項13】 前記有効画素領域内の  $m$  個の画素行 ( $2 \leq m$ ) の各々に対して、順次、読み出し動作のための選択を行う工程と、

前記有効画素領域内の  $m$  個の画素行のうち前記読み出し動作のために選択された画素行に対して、前記読み出し動作が行われてから設定時間経過後に前記電子シャッター動作のためのリセット信号を与える工程と、を包含することを特徴とする請求項12に記載の増幅型固体撮像装置の駆動方法。

【請求項14】 前記読み出し動作のための前記ダミー画素行の選択は、前記有効画素領域内の最終行 (第  $m$  行) が選択された後に開始され、前記有効画素領域内の妻子有業 (第  $m$  行) に前記電子シャッター動作のためのリセット信号が与えられた後、停止されることを特徴とする請求項12または13に記載の増幅型固体撮像装置の駆動方法

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、増幅型固体撮像装置およびその駆動方法に関する。

【0002】

【従来の技術】 増幅型固体撮像装置ではCCD固体撮像装置と同様に電子絞りとして電子シャッター方式が採用されている。電子シャッター動作は、各画素内のフォトダイオードが光電変換によって生成した信号電荷の蓄積を開始する直前に信号電荷の蓄積部をリセットすることによってフォトダイオードの電荷蓄積時間を可変とするものである。画素に蓄積された信号電荷は水平同期信号に同期して行毎に読み出されるため、電子シャッター動作も行毎に実行される (フォーカルプレーン動作)。より詳細には、ある行について電子シャッター動作が行われた後、信号電荷の蓄積が開始され、所定期間経過後に信号読み出し動作が実行される。読み出し時、読み出し動作のためのリセットが実行される。上記「所定期間」はフォトダイオードの電荷蓄積時間を規定し、どの行についても等しく設定される。その結果、同じ強度の光の照射を受けた画素は、どの行においても理論的には同じ量の電荷を蓄積することになる。

【0003】 図1は、従来のMOS型固体撮像装置100の概略構成を示している。

【0004】 装置100において、行列状に配列された複数の画素102が撮像部を構成している。各画素102内にはフォトダイオードが設けられており、受光量に応じた量の電荷を蓄積する。撮像部から画素行を順次選択するための行選択エンコーダ103が撮像部の横側に配置されている。図1の例では、画素行の数は  $m$  である

50

(4)

5

( $2 \leq m$ )。行選択エンコーダ103は直列に接続された $m$ 個の行選択回路を含んでいる。行選択回路 $i$  ( $1 \leq i \leq m$ )は所定のタイミングで電子シャッター動作のためのリセット信号を生成し、第 $i$ 行に属する全ての画素102に送出する。行選択エンコーダ103が電子シャッター動作のためのリセット信号を出力するタイミングは行毎に異なっている。すなわち、リセット信号は第1行〜第 $m$ 行の画素に対して順次出力される。

【0005】一方、読み出しのための行選択（通常の行選択）も、 $m$ 個の行選択回路によって順次実行される。電子シャッター動作と読み出し動作と間の期間は、各行について共通に設定される。選択された行から読み出された信号は、列選択駆動部107の働きで出力バッファ111に送られ、出力バッファ111から画素信号として出力される。

【0006】

【発明が解決しようとする課題】各画素102内におけるフォトダイオードの電位は、電子シャッター動作のためのリセットによって所定の電位（リセット電位）に強制的に復帰させられる。このリセット電位は各画素102で共通の値を示すべきである。しかしながら、ある行におけるリセット電位が他の行におけるリセット電位からシフトする現象が生じ、それによって画面上に水平ノイズが現れることを本願発明者は見いだした。この水平ノイズは、画面上において特定の複数行に常に現れ、画像のクオリティを劣化させる。

【0007】本発明は斯かる諸点に鑑みてなされたものであり、その主な目的は、電子シャッター動作に起因する水平ノイズの発生を抑制した増幅型固体撮像装置およびその駆動方法を提供することにある。

【0008】

【課題を解決するための手段】本発明による増幅型固体撮像装置は、行列状に配列された複数の画素であって、光電変換によって信号電荷を生成し、前記信号電荷に対応する信号情報を蓄積することのできる信号蓄積部を含む複数の画素と、電子シャッター動作のためのリセット信号を生成し、電子シャッター動作のために選択した行の画素に前記リセット信号を送出し、それによって前記選択した行の画素に含まれる前記信号蓄積部をリセットするリセット信号送出手段と、信号読み出し動作のために前記複数の画素から少なくとも1行の画素を順次選択する行選択手段と、前記信号読み出し動作のために前記行選択手段によって選択された行の画素に含まれる前記信号蓄積部内に蓄積されている前記信号情報を読み出す信号検出回路であって、第1電源供給部と第2の電源供給部との間に直列的に接続された増幅器を有し、前記第1電源供給部と前記第2の電源供給部との間に電流を流すことによって前記信号情報を検知し、増幅した信号情報を出力する信号検出回路とを備えた増幅型固体撮像装置であって、任意の画素行に対して前記リセット信号送

6

出手段が前記リセット信号を送出するタイミングは、前記行選択手段が前記読み出し動作のために他の画素行を選択するタイミングと重複していることを特徴する。

【0009】本発明による他の増幅型固体撮像装置は、行列状に配列された複数の画素であって、各々が光電変換によって信号電荷を生成し、前記信号電荷に対応する信号情報を蓄積することのできる信号蓄積部を含む複数の画素と、電子シャッター動作のためのリセット信号を生成し、電子シャッター動作のために選択した行の画素に前記リセット信号を送出し、それによって前記選択した行の画素に含まれる前記信号蓄積部をリセットするリセット信号送出手段と、信号読み出し動作のために前記複数の画素から少なくとも1行の画素を順次選択する行選択手段と、前記信号読み出し動作のために前記行選択手段によって選択された行の画素に含まれる前記信号蓄積部内に蓄積されている前記信号情報を読み出す信号検出回路であって、第1電源供給部と第2の電源供給部との間に直列的に接続された増幅器を有し、前記第1電源供給部と前記第2の電源供給部との間に電流を流すことによって前記信号情報を検知し、増幅した信号情報を出力する信号検出回路とを備えた増幅型固体撮像装置であって、前記画素の行数が1フレーム期間内に含まれる水平同期信号の数（HD数）に等しいことを特徴とする。

【0010】前記複数の画素は、有効画素領域に設けられた撮像用画素群と、前記有効画素領域以外の領域に設けられたダミー画素群とに分けられており、前記ダミー画素群に含まれる画素の行数は、前記1フレーム期間内に含まれる水平同期信号の数から前記撮像用画素群に含まれる画素の行数を引いた数に等しくなるように設定されていることが好ましい。

【0011】本発明による更に他の増幅型固体撮像装置は、行列状に配列された複数の画素であって、各々が光電変換によって信号電荷を生成し、前記信号電荷に対応する信号情報を蓄積することのできる信号蓄積部を含む複数の画素と、電子シャッター動作のためのリセット信号を生成し、電子シャッター動作のために選択した行の画素に前記リセット信号を送出し、それによって前記選択した行の画素に含まれる前記信号蓄積部をリセットするリセット信号送出手段と、信号読み出し動作のために前記複数の画素から少なくとも1行の画素を順次選択する行選択手段と、前記信号読み出し動作のために前記行選択手段によって選択された行の画素に含まれる前記信号蓄積部内に蓄積されている前記信号情報を読み出す信号検出回路であって、第1電源供給部と第2の電源供給部との間に直列的に接続された増幅器を有し、前記第1電源供給部と前記第2の電源供給部との間に電流を流すことによって前記信号情報を検知し、増幅した信号情報を出力する信号検出回路とを備えた増幅型固体撮像装置であって、前記複数の画素は、有効画素領域に設けられた撮像用画素群と、前記有効画素領域以外の領域に設け

7

られた少なくともひとつのダミー画素行とに分けられており、各フレームにおいて前記撮像用画素群に含まれる画素行の前記行選択手段による選択が終了した後、次のフレームが開始されるまで前記ダミー画素行に対して擬似的な信号読み出し動作を繰り返し実行させるダミー行選択手段を更に備えていることを特徴とする。

【0012】本発明による更に他の増幅型固体撮像装置は、行列状に配列された複数の画素であって、各々が光電変換によって信号電荷を生成し、前記信号電荷に対応する信号情報を蓄積することのできる信号蓄積部を含む複数の画素と、電子シャッター動作のためのリセット信号を生成し、電子シャッター動作のために選択した行の画素に前記リセット信号を送出し、それによって前記選択した行の画素に含まれる前記信号蓄積部をリセットするリセット信号送出手段と、信号読み出し動作のために前記複数の画素から少なくとも1行の画素を選択する行選択手段と、前記信号読み出し動作のために前記行選択手段によって選択された行の画素に含まれる前記信号蓄積部内に蓄積されている前記信号情報を読み出す信号検出回路であって、第1電源供給部と第2の電源供給部との間に直列的に接続された増幅器を有し、前記第1電源供給部と前記第2の電源供給部との間に電流を流すことによって前記信号情報を読み出し、増幅した信号情報を出力する信号検出回路と、を備えた増幅型固体撮像装置であって、前記複数の画素は、有効画素領域に設けられた撮像用画素群と、前記有効画素領域以外の領域に設けられた少なくともひとつのダミー画素行とに分けられており、前記行選択手段によって前記撮像用画素群に含まれる画素行が選択されていない場合において、前記電子シャッター動作のためのリセット信号が前記撮像用画素群に含まれる画素行に送出される期間と重複する期間に前記ダミー画素行を選択し、前記ダミー画素行に対して擬似的な信号読み出し動作を繰り返し実行させるダミー行選択手段を更に備えていることを特徴とする。

【0013】前記リセット信号送出手段は、前記行選択手段内に含まれていてもよい。

【0014】前記信号検出回路の前記増幅器は、画素毎に設けられた駆動素子と、画素列毎に設けられた負荷素子とによって構成されていることが好ましい。

【0015】好ましい実施形態では、前記駆動素子は、前記信号蓄積部に接続されたゲート電極と、前記第1電源供給部分に接続されたドレインと、前記負荷素子に接続されたソースとを備えたトランジスタである。

【0016】好ましい実施形態では、前記駆動素子および前記負荷素子がソースフォロワー回路を形成している。

【0017】好ましい実施形態では、前記信号蓄積部が、光電変換を行うフォトダイオードと、前記フォトダイオードが生成した電荷を蓄積する容量素子と、前記フォトダイオードと前記容量素子との間の電気的導通／非

(5)

8

導通を調整するトランジスタとを備えていること。

【0018】本発明による更に他の増幅型固体撮像装置は、 $m$ 個の画素行 ( $2 \leq m$ ) を備えた増幅型固体撮像装置であって、少なくとも1行のダミー画素行を備えており、前記 $m$ 個の画素行のうちの第 $i$ 行 ( $1 \leq i \leq m$ ) に対して電子シャッター動作のためのリセット信号を与え、前記 $m$ 個の画素行のうちの第 $n$ 行 ( $1 \leq n \leq m$ ,  $n \neq i$ ) または前記ダミー画素行の何れかを選択し、読み出し動作を行うことを特徴とする。

【0019】本発明による増幅型固体撮像装置の駆動方法は、有効画素領域内の $m$ 個の画素行 ( $2 \leq m$ ) と、有効画素領域外の少なくとも1行のダミー画素行とを備えた増幅型固体撮像装置の駆動方法であって、前記 $m$ 個の画素行のうちの第 $i$ 行 ( $1 \leq i \leq m$ ) に対して電子シャッター動作のためのリセット信号を与え、常に前記 $m$ 個の画素行内の第 $n$ 行 ( $1 \leq n \leq m$ ,  $n \neq i$ ) または前記ダミー画素行の何れかを選択し、読み出し動作を行うことを特徴とする。

【0020】前記有効画素領域内の $m$ 個の画素行 ( $2 \leq m$ ) の各々に対して、順次、読み出し動作のための選択を行う工程と、前記有効画素領域内の $m$ 個の画素行のうち前記読み出し動作のために選択された画素行に対して、前記読み出し動作が行われてから設定時間経過後に前記電子シャッター動作のためのリセット信号を与える工程とを包含することが好ましい。

【0021】前記読み出し動作のための前記ダミー画素行の選択は、前記有効画素領域内の最終行 (第 $m$ 行) が選択された後に開始され、前記有効画素領域内の最終行 (第 $m$ 行) に前記電子シャッター動作のためのリセット信号が与えられた後、停止されるようにしてもよい。

【0022】

【発明の実施の形態】 (第1の実施形態) 以下、図面を参照しながら、本発明による増幅型固体撮像装置の実施形態を説明する。図2および図3は、本実施形態にかかる増幅型固体撮像装置1の構成を示している。

【0023】まず図2を参照する。この固体撮像装置1は、シリコン基板などの半導体領域にマトリクス (行列) 状に配列された複数の画素2を備えている。図2では、2行2列の画素2が記載されているが、実際には、多数の画素行および画素列が形成される。本願明細書では、画素信号を形成するための有効画素領域内に設けられた画素の行数を $m$ とし、列数を1とする ( $m$ および1はともに2以上の整数)。固体撮像装置の場合、例えば $m$ は50～2000であり、1は50～2000である。本実施形態では、 $m$ は480、1は640とする。

【0024】各画素2は信号蓄積部を有し、信号蓄積部内にはフォトダイオードなどの光電変換素子が設けられている。各信号蓄積部は、その中の光電変換素子に入射した光の強度に応じた情報を「電位または電荷量」として蓄積することができる。光電変換素子は、リセット時

50

(6)

9

において第1の電位状態(リセット電位)にあるが、その後の光入射によって電荷を生成・蓄積し、第2の電位状態に移る。第2の電位状態は、入射光の強度に応じて異なるレベルを示す。本願明細書における「第2の電位状態」は、電子シャッター動作のためのリセットがなされた後、画素2に入射した光の総量に依存して変化する。なお、各画素2の内部構成については、あとで詳細に説明する。

【0025】装置1は、複数の画素2から特定の画素を選択して、その画素にアクセスするための複数の配線および回路を有している。これらの配線および回路ならびに各画素を構成するトランジスタ素子などは、公知の半導体集積回路における製造技術と同様の技術を用いて基板上に形成される。本実施形態では、行選択エンコーダ3がリセット配線4および行選択線5を介して全ての画素2に電気的に接続されている。ひとつのリセット配線4は、それに対応するひとつの行内の複数の画素2のすべてに接続されている。同様に、ひとつの行選択線5は、それに対応するひとつの行内の複数の画素2のすべてに接続されている。行選択エンコーダ3からは、配線4および5の組が画素2の行数に等しい数だけ延びてい

る。

【0026】複数の行の中から特定の行を選択するために、行選択エンコーダ3は、特定行に割り当てられた行選択線5の電位を例えば論理「Low」から論理「High」に選択的に変化させる。このとき、他の行に対応する行選択線の電位は論理「Low」にする。その結果、論理「High」に相当する電位が、その特定行に含まれる全ての画素2内のスイッチング素子の制御端子部に供給され、そのスイッチング素子を導通させる。スイッチング素子の導通によって、選択された行内の各信号蓄積部に蓄積されていた情報に応じた電位が、対応する垂直信号線6上に現れることになる。このとき、選択された行以外の行においては、各画素2内の信号蓄積部とそれに対応する垂直信号線との間は非導通状態にある。なお、情報検知のための回路およびその動作については、あとで詳細に説明する。

【0027】このようにして、ある選択された行に含まれる全ての画素2から対応する全ての垂直信号線6に、それぞれ、信号蓄積部内の情報が読み出された後、各列の情報が水平シフトレジスタ(列選択駆動部)7の働きによってひとつづつ順番に読み出されて行く。情報は、最終的には、出力バッファ(出力アンプ)11を介して信号出力される。

【0028】次に、本実施形態における画素2の構成を詳細に説明する。

【0029】画素2は、図2に示されるように、信号蓄積部として機能するフォトダイオード21と、ゲート電極22がフォトダイオード21に接続されたMOSトランジスタ23とを含んでいる。フォトダイオード21

10

は、たとえば、シリコン基板内に形成されたp-n接合ダイオードなどである。MOSトランジスタ23は、例えば、シリコン基板内にチャネル領域およびソース/ドレイン領域を有する通常のMOS構造を有している。MOSトランジスタ23は、信号読み出し用検知回路内の駆動素子(増幅素子)として機能し、その検知回路がフォトダイオード21の電位状態の微小な変化を増幅して読み出すうえで重要な働きを行う。本実施形態では、MOSトランジスタ23のゲート電極22とフォトダイオード21との間に、特別の容量素子は挿入されていないが、ここにキャパシタ等の容量素子を挿入しても良い。

【0030】画素2は、他に、リセット素子24とスイッチング素子25とを含んでいる。リセット素子24は、リセット配線4に接続されたゲート電極を有するMOSトランジスタ(リセットトランジスタ)である。このMOSトランジスタのドレインは電源配線260を介して第1電源端子( $V_{DD}$ )26に接続されており、ソースはフォトダイオード21に接続されている。行選択エンコーダ3によって選択行のリセット配線4の電位が論理「Low」から論理「High」に選択的に変化させられると、その選択行内のリセット素子24が導通し、その結果、第1電源端子26( $V_{DD}$ )へ電源配線260を介してフォトダイオード21に蓄積されていた電荷が排出される。フォトダイオード21の電位状態、すなわち、駆動素子23のゲート電極22の電位状態は、第1電源端子26の電源電位( $V_{DD}$ )によって定まるある値に強制的に復帰させられる(「リセット」される)。リセット動作完了後、画素2が受け取る光の強度に応じて、フォトダイオード21の電位は徐々に変化する。光の照射によってフォトダイオード21の電位状態が変化するの、フォトダイオード21の持つ光電変換機能によってキャリアが生成され、生成されたキャリアがフォトダイオード21内に蓄積されるからである。

【0031】画素2のスイッチング素子25は、行選択線5に接続されたゲート電極を有するMOSトランジスタから構成されている。このMOSトランジスタのドレインは駆動素子23のソースに接続されており、ソースは垂直信号線6に接続されている。行選択エンコーダ3によって、図示されている行選択線5の電位が論理「Low」から論理「High」に選択的に変化させられると、スイッチング素子25が導通し、その結果、第1電源端子( $V_{DD}$ )26から駆動素子23、スイッチング素子25、垂直信号線6および負荷素子27を介して第2電源端子( $V_{SS}$ )28に電流が流れる。このとき、垂直信号線6の電位は、フォトダイオード21の電位状態(MOSトランジスタ23のゲート電極22の電位)に依存して変化する。その結果、垂直信号線6の電位は、画素2の信号蓄積部の第2の電位状態に応じたレベルを持つことになる。

【0032】ある1つの列に着目した場合、選択された



(7)

11

行に属する駆動素子23とそれに対応する負荷素子27とは、第1電源端子(V<sub>DD</sub>)26と第2電源端子

(V<sub>SS</sub>)28との間において直列的に接続され、ソースフォロワー回路を形成している。各列には、1つの負荷素子27が割り当てられており、選択された行の駆動素子23がスイッチング素子25を介して対応する負荷素子27に電氣的に接続される。このようなソースフォロワー回路は、各画素に蓄積された信号電荷の量を増幅して電位信号として出力することができる。なお、本願明細書では、全ての列の負荷素子27を全体して「負荷回路30」と称することがある。

【0033】素子面積の有効利用のため、フォトダイオード21のリセット用電源、およびソースフォロワー回路用電源は、第1電源端子(V<sub>DD</sub>)26から共通の電源配線260を介して供給される。

【0034】次に、図3を参照しながら、本実施形態にかかる増幅型固体撮像装置1の特徴を説明する。

【0035】装置1は、図3に示すように、m個の通常の画素行とは別に、少なくとも1つのダミー画素行を備えている。m個の画素行は有効画素領域内に位置し、撮像部を構成している。一方、ダミー画素行は有効画素領域の外に位置し、ダミー撮像部を構成している。本実施形態の場合、ダミー画素行の数は、1フレーム期間内に含まれる水平同期信号の数(HD数)からmを差し引いた数に等しくなるように設定されている。本実施形態のmは480であり、HD数は525である(NTSC方式)ので、ダミー画素行数(=HD数-m)は45になる。

【0036】本実施形態のダミー画素行内の各画素の構成は、有効画素領域外内の画素の構成と同様である。言い換えると、ダミー画素行内の各画素は、図2に示される画素2と同様にフォトダイオード21やトランジスタを含んでおり、垂直信号線6を介して負荷回路30や列選択駆動部7に接続されている。このため、本実施形態の場合、通常の撮像部分とダミー撮像部分とを外観上区別することはできない。

【0037】行選択エンコーダ3によってダミー画素行が選択されると、ダミーの画素内に含まれているリセット素子24やスイッチング素子25が制御信号を受け取って正常に動作する。ダミー画素内のスイッチング素子25が導通すると、図2に示される第1電源端子

(V<sub>DD</sub>)26からダミー画素内の駆動素子23およびスイッチング素子25、並びに垂直信号線6および負荷素子27を介して第2電源端子(V<sub>SS</sub>)28に電流が流れる。

【0038】しかし、ダミー画素は受けた光についての信号情報を蓄積する必要はない。ダミー画素は、通常の画素と同じように、スイッチング素子25の導通によって第1電源端子(V<sub>DD</sub>)26から駆動素子23、スイッチング素子25、垂直信号線6および負荷素子27を介

12

して第2電源端子(V<sub>SS</sub>)28に電流を流すような構成を有していればよい。このため、ダミー画素は光電変換機能を発揮する必要もない。従って、ダミー画素は遮光膜によって覆われていても良いし、フォトダイオードを有している必要もない。ダミー画素行の役割は、撮像部に含まれる何れかの画素行で電子シャッター動作のためのリセットが実行されているときに、その画素行でのリセット状態の変動を防止し、リセット電位が各行で等しくなるようにすることにある。このダミー画素行の機能の詳細は後で説明する。まずは、図4を参照しながら装置1の駆動を説明する。

【0039】図4は、行選択エンコーダ3内の行選択回路が送出する制御信号等のタイミングチャートを示している。図4の最上部には、水平同期信号HDが示されている。各行選択回路は水平同期信号HDに同期しながら行選択信号SL<sub>1</sub>~SL<sub>m+3</sub>およびリセット信号RS<sub>1</sub>~RS<sub>m+3</sub>に対応する行に送出するが、図4ではそれらの信号の一部の行に関連するものを記載している。なお、時間は図中右方向に沿って進行する。

【0040】図4に示されているVSI<sub>N</sub>は、読み出し動作のための行選択動作を行選択エンコーダ3に開始させるための信号である。VSSI<sub>N</sub>は電子シャッター動作のための行選択動作を行選択エンコーダ3に開始させる信号である。VSI<sub>N</sub>信号は各フレーム期間内に1回の割合で、VSSI<sub>N</sub>信号は各フレーム期間内に少なくとも1回の割合で行選択エンコーダ3に入力される。CSLは読み出し動作のタイミングを規定する選択同期信号を示し、CRSはリセット動作のためのタイミングを規定するリセット同期信号を示している。行選択エンコーダ3は、これらの信号を受け取り、水平同期信号HDに同期しながら、各種の制御信号を生成し、電子シャッター動作と行選択動作とを実行する。

【0041】図5は、第i行の行選択回路を示している。各々が図5に示されるような構成を持つ第1行~第m+3行の行選択回路が直列的に接続され、それによって行選択エンコーダ3が構成されている。行選択エンコーダ3は、2列の垂直シフトレジスタを有している。各垂直シフトレジスタは、直列接続された複数のフリップフロップ回路50から構成されている。

【0042】第1シフトレジスタの第1行部分は、水平同期信号HDと読み出し動作のためのスタートパルス信号VSI<sub>N</sub>とを受け取る。第1シフトレジスタの第i行部分の出力Q<sub>i</sub>は、第(i+1)行部分のフリップフロップ回路50の端子Dに与えられる。このようにして、第1シフトレジスタの出力動作は、水平同期信号HDに同期しながら第1行から最終行まで実行される。一方、第2シフトレジスタの第1行部分は、水平同期信号HDと電子シャッター動作のためのスタートパルス信号VSSI<sub>N</sub>とを受け取る。第2シフトレジスタの第i行部分の出力Q<sub>S<sub>i</sub></sub>は、第(i+1)行部分のフリップ

(8)

13

フロップ回路50の端子Dに与えられる。このようにして、第2シフトレジスタの出力動作も、水平同期信号HDに同期しながら第1行から最終行まで実行される。

【0043】第1および第2のシフトレジスタの出力( $Q_i$ および $QS_i$ )と、選択同期信号CSLおよびリセット同期信号CRSとを用いて、行選択エンコーダ3は図4に示されるようなタイミングで行選択信号 $SL_i$ およびリセット信号 $RS_i$ を生成し、これらの制御信号を各行の行選択配線およびリセット配線を介して各行の画素に供給する。

【0044】再び、図4を参照する。VSINが「High」に立ち上がっている間に供給された水平同期信号HDが、当該フレーム期間の第1HDとなる。その後、第525HDが供給され、そのフレーム期間が終了する。もう一度VSINが「High」に立ち上がると、次のフレーム期間が開始される。

【0045】行選択エンコーダ3は第1HDに同期して行選択信号 $SL_1$ およびリセット信号 $RS_1$ を生成し、第1行の画素に送出する。これによって、第1行の画素で読み出し動作が実行されることになる。その後、行選択エンコーダは第2HDに同期して行選択信号 $SL_2$ およびリセット信号 $RS_2$ を生成し、第2行の画素に送出する。これによって、第2行の画素で読み出し動作が実行されることになる。同様の動作が他の行に対しても順次実行されて行く。

【0046】一方、VSSINが「High」に立ち上がっている間に供給された水平同期信号(図4では第4HD)に同期して、行選択エンコーダはリセット信号 $RS_1$ を生成し、第1行の画素に送出する。これによって、第1行の画素で電子シャッター動作のためのリセットが実行されることになる。その後、行選択エンコーダは第5HDに同期してリセット信号 $RS_2$ を生成し、第2行の画素に送出する。これによって、第2行の画素で電子シャッター動作のためのリセットが実行されることになる。同様の動作が他の行に対しても順次実行されて行く。

【0047】図4からわかるよう、有効画素領域に含まれる任意の第i行( $1 \leq i \leq m$ )に対して電子シャッター動作のためリセット信号が与えられているときは、かならず、他の行に対する読み出し動作が実行されている。例えば、第m行で電子シャッター動作のためのリセットが行われているとき、第(m+3)行で読み出し動作が行われている。もし、第(m+1)〜第(m+3)行のダミー画素行が存在しなければ、第(m-2)〜第m行で電子シャッター動作のためのリセットが行われているときに何れの行においても読み出し動作は実行されないことになる。

【0048】本実施形態では、このようにダミー画素行を設け、有効画素領域内の撮像部と同様に駆動することによって、撮像部内の各画素行に対して同じ条件で電子

14

シャッター動作のためのリセット信号を与えることにしている。その結果、電子シャッター動作によるリセット電位は撮像部の各画素で共通の値を示すことになり、画面上に水平ノイズは現れなくなる。

【0049】以下、ダミー画素によって水平ノイズが消失する理由を詳細に説明する。

【0050】図6は、第i行( $1 \leq i \leq m$ )と第n行( $n \neq i$ )に関する制御信号の一部を示すタイミングチャートである。時刻a-1では、第i行に電子シャッター動作のための制御信号が与えられている。行選択信号 $SL_i$ は、「Low」のままであるため、第i行のスイッチング素子25はOFF状態のままである。しかし、リセット信号 $RL_i$ は「High」になるため、第i行のリセット素子24として機能するMOSTランジスタはON状態に変化し、導通する。その結果、第1電源端子(VDD)26とフォトダイオード21とが電気的に接続され、フォトダイオード21に蓄積されていた電荷が第1電源端子(VDD)26に排出される。このようなリセット動作によって、フォトダイオード21の電荷蓄積領域の電位は第1の電位状態に強制的に復帰される。

【0051】時刻b-1では、第i行で読み出し動作が実行される。読み出し動作は、まず、行選択信号 $SL_i$ が「Low」から「High」に変化し、第i行のスイッチング素子25をON状態に変化させることによって開始される。第i行のスイッチング素子25が導通すると、前述のように、第1電源端子(VDD)26から垂直信号線6を介して第2電源端子(VSS)28に電流が流れる。その結果、電子シャッター動作のためのリセット(時刻a-1)から時刻b-1までの間に第i行の画素で生成・蓄積されていた電荷の量に対応する信号電位が垂直信号線6上に出力される。

【0052】時刻cでは、リセット信号 $RS_i$ が「Low」から「High」に変化し、第i行のリセット素子24をON状態に変化させる。第i行のスイッチング素子25はON状態のままである。リセット信号 $RL_i$ が「High」になるため、第i行のリセット素子24として機能するMOSTランジスタもON状態に変化し、導通する。その結果、第1電源端子(VDD)26とフォトダイオード21とが電気的に接続され、フォトダイオード21に蓄積されていた電荷が第1電源端子(VDD)26に排出される。

【0053】時刻dでは、リセット後のフォトダイオード21の電位状態が検知される。この検知は、時刻b-1におけるリセット前のフォトダイオード21の電位状態検知と同様に実行される。時刻cのリセット前後で生じるフォトダイオード21の電位状態の変化に基づいて、画素に蓄積されていた情報が信号として再生されることになる。

【0054】本実施形態によれば、時刻a-1において、電子シャッターのためのリセット動作が第i行で行



15

われるとともに、第*n*行で読み出し動作が実行される。この第*n*行は、通常の撮像部またはダミー撮像部に属する何れかの行である。第*n*行での読み出し動作は、行選択信号 $SL_n$ が「Low」から「High」に変化し、第*n*行のスイッチング素子25をON状態に変化させることによって開始される。第*n*行のスイッチング素子25が導通すると、前述のように、第1電源端子( $V_{DD}$ )26から垂直信号線6を介して第2電源端子( $V_{SS}$ )28に電流が流れる。その結果、第*n*行の画素に蓄積されていた電荷の量に対応する信号電位が垂直信号線6上に出力される。

【0055】第*n*行が通常の撮像部に属する場合、この読み出し動作によって垂直信号線6上に出力された電位は有効な画素信号として使用される。これに対して、第*n*行がダミー撮像部に属する場合は、この読み出し動作によって垂直信号線6上に出力された電位は有効な信号として使用されない。ダミー撮像部に対する読み出し動作は、第*i*行( $1 \leq i \leq m$ )に対して電子シャッター動作のためのリセットを実行する時に、第1電源端子( $V_{DD}$ )26から垂直信号線6を介して第2電源端子( $V_{SS}$ )28に電流を流すために実行される。

【0056】以下、図7～図10を参照しながら、上記動作を実行しているときの第*i*行のフォトダイオード21の電位状態を説明する。

【0057】まず、図7を参照する。図7は、時刻*a*−1における第*i*行内の画素の等価回路、リセット素子24の模式断面構造およびその表面ポテンシャル分布を示している。図7に示されている例において、リセット素子24は*n*チャネル型MOSトランジスタから構成されており、フォトダイオード21の*n*型不純物拡散領域はリセット素子24のソース領域を兼ねている。リセット素子24の周囲はLOCOS膜などからなる素子分離33によって囲まれている。素子分離33の下には*p*型不純物がドーパされたチャネルストップ32が形成されている。

【0058】時刻*a*−1において、電子シャッター動作のためのリセットが行われるため、フォトダイオード21の電位(正確には、フォトダイオード21の*n*型不純物拡散領域の表面電位)は、リセット素子21のドレイン領域(リセットドレイン)31の電位にほぼ等しくなる。リセットドレイン31は電源配線260を介して第1電源端子( $V_{DD}$ )26に接続されている。本実施形態によれば、第*n*行で読み出し動作が行われるため、電源配線260をソースフォロワー電流 $I_d$ が流れる。この電流 $I_d$ は、フォトダイオード21のリセットによって第1電源端子( $V_{DD}$ )26から第*i*行のフォトダイオードに流れる電流(リセットドレイン電流)よりも遙かに大きい。例えば、負荷回路を流れるソースフォロワー電流 $I_d$ は数 $\mu A$ ～数百 $\mu A$ であり、リセットドレイン電流は数*f*～数百*f*Aである。電源配線の主要抵抗を $R_i$

(9)

16

とすると、リセットドレイン31に供給される電源に $I_d \times R_i$ の電圧降下が生じるため、リセットドレインの電位は $V_{DD}' = V_{DD} - I_d \times R_i$ で表現される値になる。

【0059】共通電源配線260の配線抵抗は、そのレイアウトに依存して異なるが、通常、数十 $\Omega$ ～数千 $\Omega$ の値を示す。ここで仮に、1画素あたりのソースフォロワー電流 $I_d$ が $10 \mu A$ 、リセットドレイン電流が $10 fA$ 、共通電源配線260の配線抵抗が $1 k\Omega$ であるとする。その場合、リセットドレイン電流が流れたときの画素部の電源電圧降下は $10 fA \times 1 k\Omega = 10 pV$ となり、ソースフォロワー電流が流れた場合の画素部の電源電圧降下は $10 \mu A \times 1 k\Omega = 10 mV$ となる。このように、リセットドレイン電流はソースフォロワー電流に比較して無視できるため、その電圧降下の影響も無視できる。

【0060】なお、時刻*a*−1では、第*i*行のスイッチング素子25は導通していないため、第*i*行のスイッチング素子25を介してソースフォロワー電流が流れることはない。注意すべき点は、ソースフォロワー電流 $I_d$ が第*n*行のスイッチング素子25を介して流れていることである。しかも、本実施形態では、ある任意の第*i*行( $1 \leq i \leq m$ )に対して電子シャッター動作のためのリセットが行われるときには必ず他の行で読み出し動作が実行されるということが、有効画素領域内の全ての行( $i = 1, 2, \dots, m-1, m$ )について成立する。

【0061】図8を参照する。時刻*b*−1ではフォトダイオード21に電荷が蓄積され、その電位はリセット時の $V_{DD}'$ から $V_{sig}$ だけ変位し、 $(V_{DD}' - V_{sig})$ という値を示している。 $V_{sig}$ の大きさは、光電変換によって生成・蓄積された電荷の量に応じて決まる。この電位( $V_{DD}' - V_{sig}$ )は駆動素子23のゲート電極22に与えられている。第*i*行での読み出し動作の開始によって、電源配線をソースフォロワー電流 $I_d$ が流れる。この電流 $I_d$ は、第1電源端子( $V_{DD}$ )26から第*i*行の駆動素子23およびスイッチング素子25を介して負荷回路30へと流れる。第*i*行以外の行については、読み出し動作が行われていないため、ソースフォロワー電流 $I_d$ の大きさは、時刻*a*−1のときの大きさにほぼ等しい。このとき、リセットドレイン電流は流れないが、リセットドレイン電流の有無を無視する。

【0062】図9を参照する。時刻*c*では、読み出し動作のためのリセットが実行され、フォトダイオード21の電荷は第1電源端子( $V_{DD}$ )26に排出される。その結果、フォトダイオード21の電位はリセットドレインの電位 $V_{DD}'$ と等しくなる。電位 $V_{DD}'$ は駆動素子23のゲート電極22に与えられる。このため、この電位 $V_{DD}'$ に応じた信号電位が垂直信号線6上に現れ始める。

【0063】図10を参照する。時刻*d*では、リセット素子24がON状態からOFF状態に復帰する。リセット直後において、電位 $V_{DD}'$ は駆動素子のゲート電極に

(10)

17

与えられている。このため、電位 $V_{DD'}$ に応じた信号電位が垂直信号線6上に現れる。

【0064】こうして第 $i$ 行の画素から検知される信号情報は、 $V_{DD'} - (V_{DD'} - V_{sig}) = V_{sig}$ に対応した大きさをもつことになる。

【0065】以上の説明から明らかなように、本実施形態では、電子シャッター動作のためのリセットによってフォトダイオード21の電位は $V_{DD'}$ に強制復帰される。各画素を分離するアルミニウムからなる金属遮光膜を電源配線として使用することによって、この電位 $V_{DD'}$ は各行でほぼ共通の大きさを示す。言い換えると、ある画素行におけるリセット電位が他の画素行におけるリセット電位からシフトする現象の発生が防止される。その結果、水平ノイズの抑制されたハイクオリティの画像を提供することができる。

【0066】次に、図11～図14を参照しながら、ダミー画素を設けていない増幅型撮像装置（比較例）における水平ノイズの発生メカニズムを説明する。この比較例は、図3の装置1からダミー画素およびそのための行選択回路を除去した装置に相当し、1フレーム期間内に含まれる水平同期信号HDの数と画素行数とが一致していない。

【0067】図11は、ダミー画素を設けていない増幅型撮像装置において行選択エンコード内の行選択回路が送出する制御信号等のタイミングチャートを示しており、図4のタイミングチャートに対応するものである。

【0068】図11の時刻(I)においては、第1行で電子シャッター動作のためのリセットが行われるとともに、第4行で読み出し動作が行われている。時刻(II)では、第 $m$ 行において電子シャッター動作のためのリセットが行われるが、他の何れの行においても読み出し動作は行われていない。

【0069】図12を参照する。図12は、第 $i$ 行( $1 \leq i \leq m$ )と第 $n$ 行( $1 \leq n \leq m$ ,  $n \neq i$ )に関する制御信号の一部を示すタイミングチャートである。時刻 $a-2$ では、第 $i$ 行に電子シャッター動作のための制御信号が与えられている。行選択信号 $SL_i$ が「Low」のままであるが、リセット信号 $RL_i$ は「High」になる。このため、第 $i$ 行のリセット素子は導通し、フォトダイオードの電荷蓄積領域の電位は第1の電位状態に強制的に復帰される。この時刻 $a-2$ では、第 $i$ 行以外のどの行においても読み出し動作は全く行われていないものとする。その場合、図13に示すように、電子シャッター動作のためのリセットが行われ、フォトダイオードの電位はリセットドレインの電位に等しくなる。リセットドレインの電位は、電源配線を介してソースフォロワー電流 $I_d$ が流れないため、 $V_{DD}$ にほとんど一致する。従って、リセット後のフォトダイオードの電位は $V_{DD}$ になる。その後、フォトダイオードは受けた光の量に応じた電荷を生成し、蓄積する。

18

【0070】時刻 $b-2$ では、読み出し動作が開始される。第 $i$ 行の画素を通して電源配線をソースフォロワー電流 $I_d$ が流れているため、リセットドレインでの電位は $V_{DD'} = V_{DD} - I_d \times R_i$ に低下する。一方、フォトダイオードの電位は、リセット時の $V_{DD}$ から $V_{sig}$ だけ変位し、 $(V_{DD} - V_{sig})$ という値を示している。前述のように、 $V_{sig}$ の大きさは、光電変換によって生成・蓄積された電荷の量に応じて決まる。この電位( $V_{DD} - V_{sig}$ )は駆動素子のゲート電極に与えられている。

【0071】時刻 $c$ では、読み出し動作のためのリセットが行われる。このときは、第 $i$ 行の画素を通して電源配線をソースフォロワー電流 $I_d$ が流れているため、フォトダイオードの電位は $V_{DD'} = V_{DD} - I_d \times R_i$ に強制的に変位させられる。

【0072】こうして第 $i$ 行の画素から検知される信号情報は、 $V_{DD'} - (V_{DD} - V_{sig})$ に対応した大きさをもつことになる。

【0073】しかしながら、第 $i$ 行で電子シャッター動作のためのリセットが行われているときに他の何れかの行で読み出し動作が行われる場合は、図7～図10を参照しながら説明したように、 $V_{sig}$ に対応した信号情報が得られる。従って、行によって、 $V_{DD'} - V_{DD}$ の電位差に相当する変動が出力信号に生じることになる。

【0074】図11からわかるように、特定の行において、電子シャッター動作のためのリセットと他の何れかの行での読み出し動作とが同じタイミングで生じるが、他の特定の行では、電子シャッター動作のためのリセットが行われるとき他の行では読み出し動作が行われてない。このため、電子シャッター動作のためのリセット状態が行によって異なり、水平ノイズが発生することになる。

【0075】これに対して本実施形態では、有効画素領域内の各画素行について、電子シャッター動作を同じ条件で実行する。このような動作を達成するため、本実施形態では、ダミー画素の行を設けることによって、画素の総行数が1フレーム期間内に含まれる水平同期信号の数(HD数)に等しくなるようにしている。

【0076】(第2の実施形態)以下、本発明による増幅型固体撮像装置の他の実施形態を説明する。

【0077】図15は、本実施形態にかかる増幅型固体撮像装置60の構成を示している。装置60が第1の実施形態の装置1と異なる点は、ダミー行の数と、ダミー行選択回路Aの構成とにある。

【0078】本実施形態では、ダミー行数は1である。また、ダミー行選択回路Aの構成は、他の行選択回路1～ $m$ の構成と異なっている。なお、第1の実施形態におけるダミー行のための行選択回路は、有効画素のための行選択回路と同様の構成を有している。

【0079】図16は、第 $m$ 行のための行選択回路およびダミー行選択回路Aの構成を示している。ダミー行選

(11)

19

択回路Aは、リセット端子付きのDフリップフロップ52を有しており、そのリセット端子Rでスタートパルス信号V S I Nを受け取る。より詳細には、第m行の行選択回路から出力Q<sub>m</sub>を受けると、次のフレーム期間を開始させるためのスタートパルス信号V S I Nを受け取るまで、水平同期信号HDに同期した制御信号(S L dummyおよびR S dummy)を出力し続ける。

【0080】図17は、本実施形態の増幅型撮像装置60において選択エンコーダ3内の行選択回路およびダミー行選択回路Aが送出する制御信号等のタイミングチャートを示している。図17からわかるように、第m行について読み出し動作が行われた後、水平同期信号HDに同期しながら、行選択信号S L dummyおよびリセット信号R S dummyが繰り返し出力されている。言い換えると、ダミーの画素行では、読み出し動作が繰り返し実行される。そのため、通常の撮像部内の全ての行で読み出し動作が終了した後、次のフレーム期間が始まるまで、通常の撮像部に対する読み出し動作に代わって、ダミー行での読み出し動作が実行される。その結果、通常の撮像部内の全ての行において、同じ条件で、電子シャッター動作のためのリセットが実行されることになる。

【0081】本実施形態によれば、1フレーム期間に含まれる水平同期信号の数が増えられた場合でも正常に動作する。

【0082】(第3の実施形態)以下、本発明による増幅型固体撮像装置の更に他の実施形態を説明する。

【0083】図18は、本実施形態にかかる増幅型固体撮像装置70の構成を示している。本装置70が第2の実施形態の増幅型固体撮像装置60と異なる点は、ダミー行選択回路Bの構成にある。ダミー行選択回路Bは、図19に示す構成を有している。そのため、ダミー行選択回路Bは第m行の行選択回路から出力Q<sub>m</sub>を受けると、水平同期信号HDに同期した制御信号(S L dummyおよびR S dummy)の出力を開始する。ダミー行選択回路Bは、スタートパルス信号V S I Nを受け取るか、または、第m行における電子シャッター動作のためのリセットが終了するまで、水平同期信号HDに同期した制御信号(S L dummyおよびR S dummy)の出力を繰り返す。

【0084】図20は、本実施形態の増幅型撮像装置70において選択エンコーダ3内の行選択回路およびダミー行選択回路Bが送出する制御信号等のタイミングチャートを示している。図20からわかるように、第m行について読み出し動作が行われた後、第m行について電子シャッター動作のためのリセットが終了するまで、水平同期信号HDに同期しながら、行選択信号S L dummyおよびリセット信号R S dummyが繰り返し出力されている。そのため、通常の撮像部内の全ての行で読み出し動作が終了した後、通常の撮像部内の全ての行で電子シャッター動作のためのリセットが終了するまで、通常の撮像部に対する読み出し動作に代わって、ダミー行での読

20

み出し動作が実行される。その結果、通常の撮像部内の全ての行において、同じ条件で、電子シャッター動作のためのリセットが実行されることになる。

【0085】本実施形態の装置70が第2の実施形態の装置60と比較して有利な点は、ダミー行の駆動を必要最小限に抑え、消費電力を低減できる点にある。

【0086】第2および第3の実施形態では、ダミー行を1行だけ設けているが、ダミー行の数は複数であってもよい。例えばダミー行が2行である場合、ダミー行選択回路は2行分設けられる。そして、それぞれのダミー行が水平同期信号に同期しながら交互に読み出し動作を実行することになる。

【0087】第2および第3の実施形態では、ダミー行が各フレーム期間の相対的に遅い時刻に動作するように構成される。しかし、第1の実施形態では、ダミー行は、各フレーム期間の相対的に早い時刻に動作するように構成されてもよい。例えば、図3では、有効画素領域(第1行から第m行)の下側にダミー行(第m+1行から第525行)が配置されているが、有効画素領域(第1行から第m行)の図中上側に配置しても良い。

【0088】なお、上記各実施形態では、電子シャッター動作のためのリセット信号を読み出し動作のため行選択エンコーダの内部で生成し、出力している。しかし、本発明はこの方式に限定されない。例えば、電子シャッター動作のためのリセット信号信号生成回路を図3の撮像部の左側に配置し、撮像部の右側に読み出し動作のための制御信号出力回路(行選択回路)を配置しても良い。また、それらの回路を左右反転させて配置しても良い。

【0089】また、各画素として、図21に示す構成を有する画素を採用しても良い。図21の画素は、信号蓄積部としてフォトダイオード21以外にトランスファゲート56を含んでおり、信号蓄積ノード55の電位が駆動素子のゲート電極23に与えられる。言い換えると、ソースフォロワー回路は信号蓄積ノード55の電位を検知することになる。このように本発明は実施形態の画素構成によって限定されない。

【0090】また、本発明は、画素に蓄積された信号電荷を、負荷回路に電流を流すことによって増幅・検知するタイプのMOS型固体撮像装置に広く適用できる。例えば、ソースフォロワー回路の代わりにインバータ回路を用いて信号検知回路を構成しても良い。重要な点は、検知回路がリセットの前後において画素内信号電荷量を検知し、増幅して出力する機能を有していることにある。

【0091】なお、上記各実施形態では、垂直シフトレジスタを用いて行選択エンコーダを形成している。そのため、行選択は物理的空間において順番に実行される。しかし、物理的にランダムな位置に存在する行に順次アクセスできる行選択エンコーダを使用してもよい。

(12)

21

【0092】

【発明の効果】本発明によれば、電子シャッター動作に起因する水平ノイズの発生を抑制した増幅型固体撮像装置およびその駆動方法を提供することができる。

【図面の簡単な説明】

【図1】従来の固体撮像装置100の概略構成を示す図面である。

【図2】本発明の第1の実施形態にかかる増幅型固体撮像装置1の画素の構成を詳細に示す図面である。

【図3】増幅型固体撮像装置1の構成を示す図面である。

【図4】増幅型固体撮像装置装置1の行選択エンコーダ内の行選択回路が送出する制御信号等のタイミングチャートである。

【図5】増幅型固体撮像装置1の行選択エンコーダに含まれる第i行の行選択回路を示す回路図である。

【図6】増幅型固体撮像装置1の第i行( $1 \leq i \leq m$ )と第n行( $n \neq i$ )に関する制御信号の一部を示すタイミングチャートである。

【図7】増幅型固体撮像装置1について、時刻a-1における第i行内の画素の等価回路、リセット素子24の模式断面構造およびその表面ポテンシャル分布を示すである。

【図8】増幅型固体撮像装置1について、時刻b-1における第i行内の画素の等価回路リセット素子24の模式断面構造およびその表面ポテンシャル分布を示すである。

【図9】増幅型固体撮像装置1について、時刻cにおける第i行内の画素の等価回路、リセット素子24の模式断面構造およびその表面ポテンシャル分布を示すである。

【図10】増幅型固体撮像装置1について、時刻dにおける第i行内の画素の等価回路、リセット素子24の模式断面構造およびその表面ポテンシャル分布を示すである。

【図11】ダミー画素を設けない増幅型撮像装置において行選択エンコーダ内の行選択回路が送出する制御信号等のタイミングチャートである。

【図12】ダミー画素を設けない増幅型撮像装置において第i行( $1 \leq i \leq m$ )と第n行( $n \neq i$ )に関する制御信号の一部を示すタイミングチャートである。

【図13】ダミー画素を設けない増幅型固体撮像装置について、時刻a-2における第i行内の画素の等価回路、リセット素子の模式断面構造およびその表面ポテンシャル分布を示すである。

【図14】ダミー画素を設けない増幅型固体撮像装置について、時刻b-2における第i行内の画素の等価回路、リセット素子の模式断面構造およびその表面ポテンシャル分布を示すである。

22

【図15】第2の実施形態にかかる増幅型固体撮像装置60の構成を示す図面である。

【図16】増幅型固体撮像装置60の第m行のための行選択回路およびダミー行選択回路Aの構成を示す回路図である。

【図17】増幅型固体撮像装置装置60の行選択エンコーダ内の行選択回路およびダミー行選択回路Aが送出する制御信号等のタイミングチャートである。

【図18】第3の実施形態にかかる増幅型固体撮像装置70の構成を示す図面である。

【図19】増幅型固体撮像装置70の第m行のための行選択回路およびダミー行選択回路Bの構成を示す回路図である。

【図20】増幅型固体撮像装置装置70の行選択エンコーダ内の行選択回路およびダミー行選択回路Bが送出する制御信号等のタイミングチャートである。

【図21】本発明に使用され得る画素の他の構成例を示す回路図である。

【符号の説明】

1 第1の実施形態にかかる増幅型固体撮像装置

2 画素

3 行選択エンコーダ

4 リセット配線

5 行選択線

6 垂直信号線

7 列選択駆動部

21 フォトダイオード

22 ゲート電極

23 駆動素子(増幅用MOSトランジスタ)

24 リセット素子

25 スイッチング素子

26 第1電源端子( $V_{DD}$ )

27 負荷素子

28 第2電源端子( $V_{SS}$ )

30 負荷回路

31 リセットドレイン

32 チャネルストップ

33 LOCOS素子分離領域

50 フリップフロップ回路

52 リセット端子付きフリップフロップ回路

55 信号蓄積ノード

56 トランスファゲート

60 第2の実施形態にかかる増幅型固体撮像装置

70 第3の実施形態にかかる増幅型固体撮像装置

100 従来の増幅型固体撮像装置

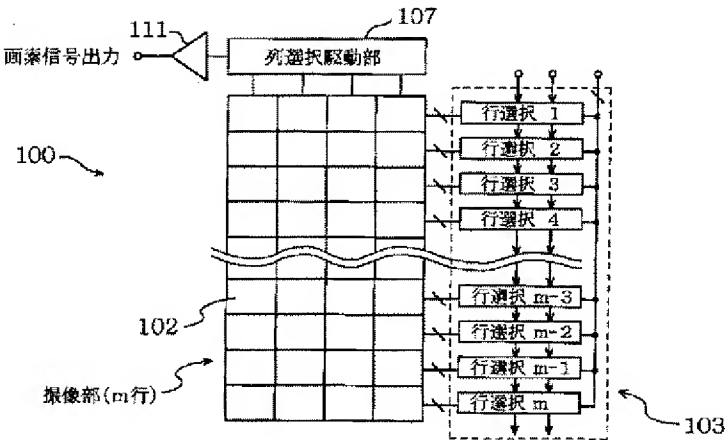
103 従来の行選択エンコーダ

107 列選択駆動部

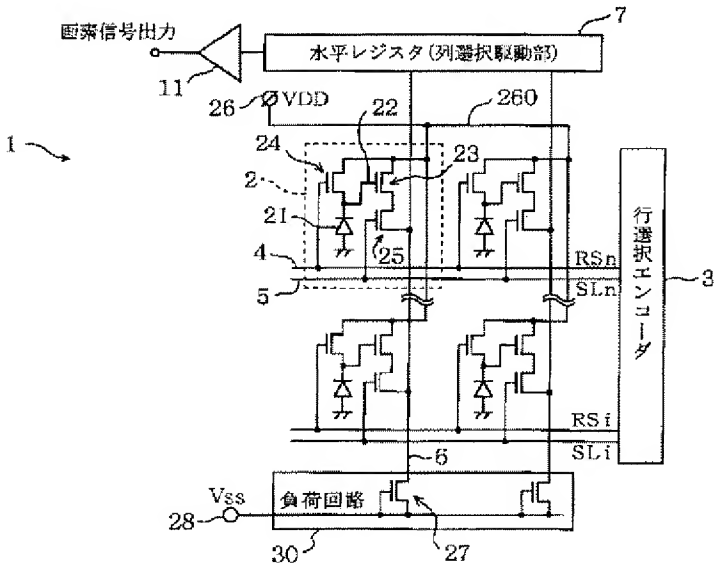
260 電源配線

(13)

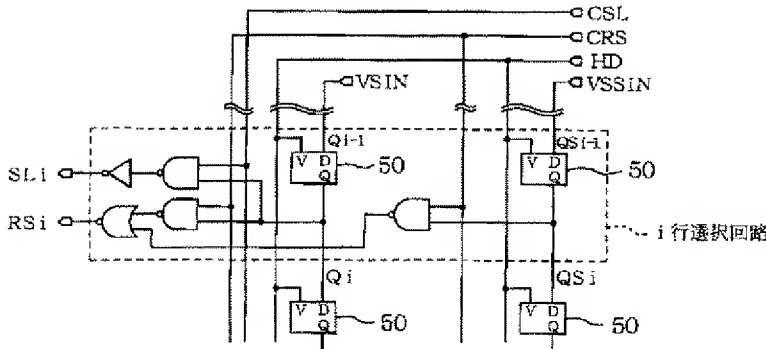
【図 1】



【図 2】

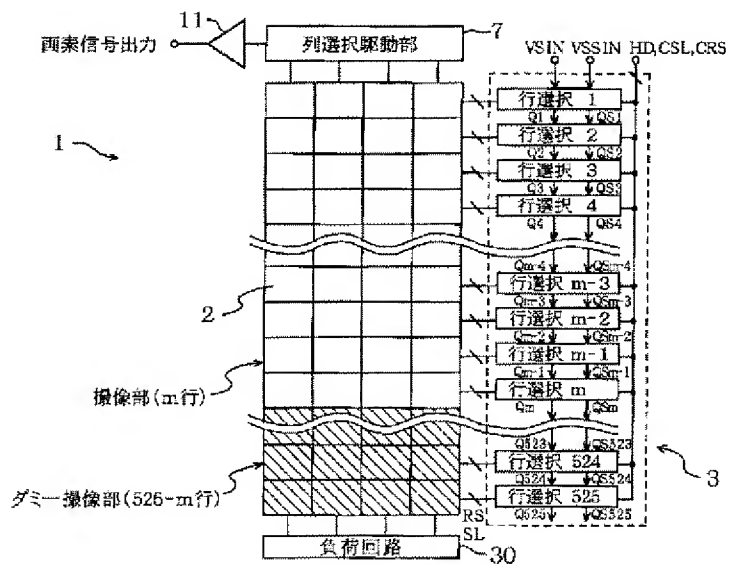


【図 5】

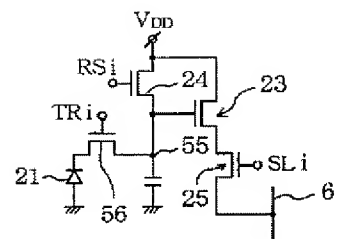


(14)

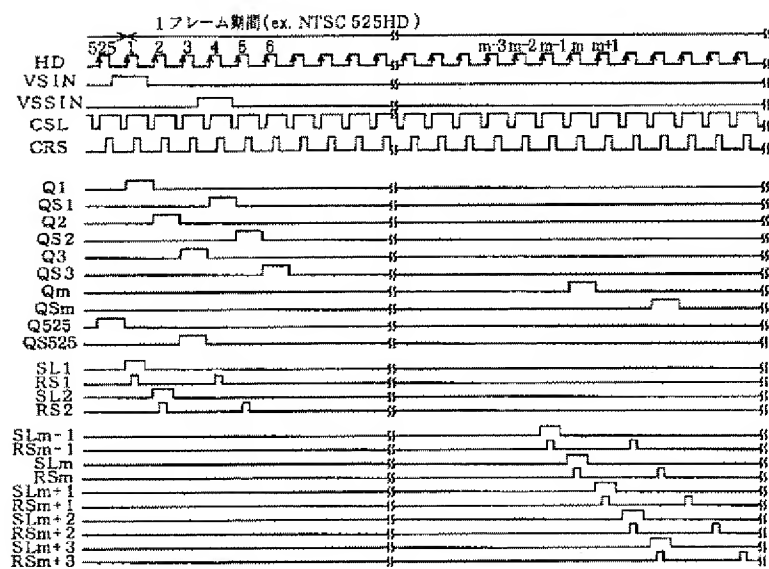
【圖 3】



【図 2 1】



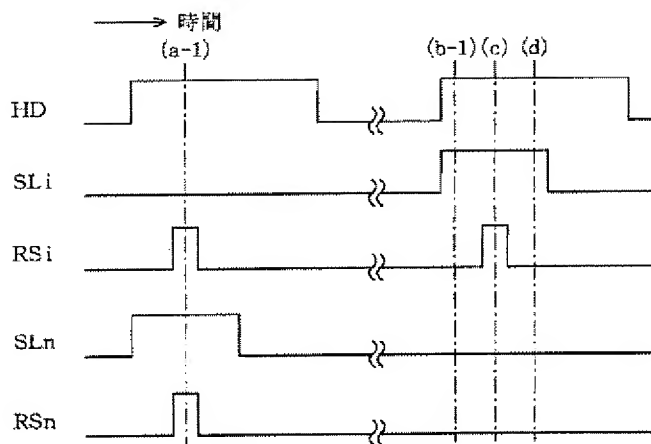
【図4】



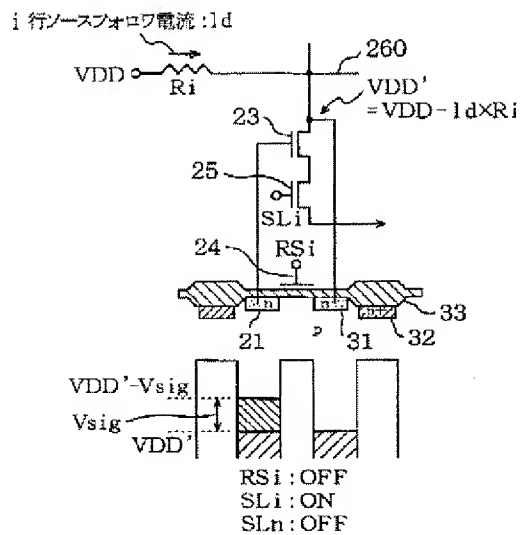


(15)

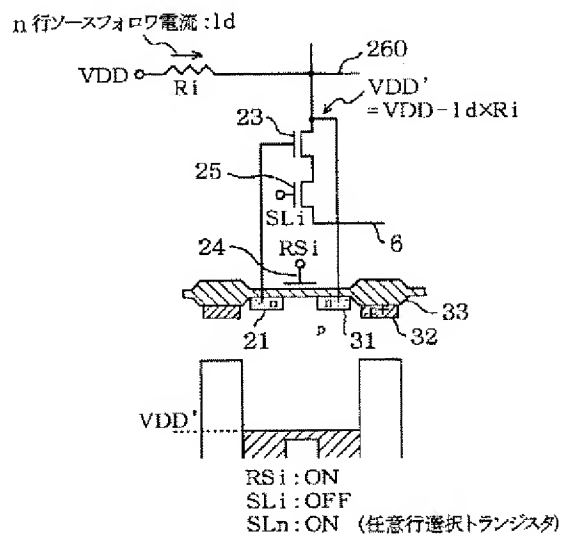
【図6】



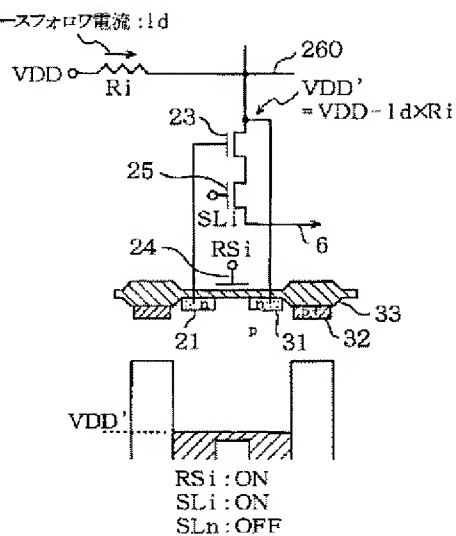
【図8】



【図7】

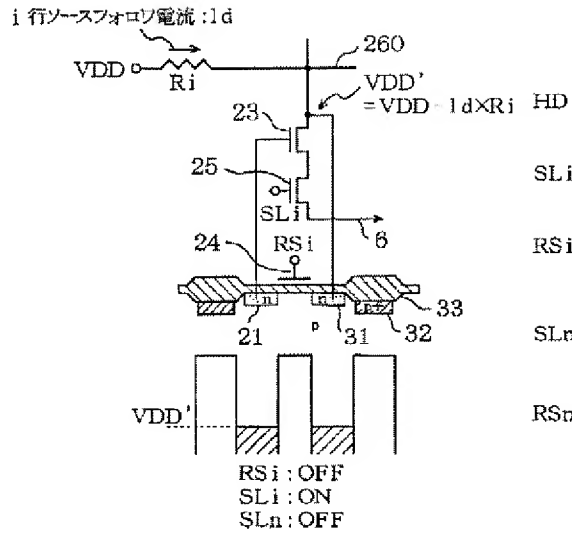


【図9】

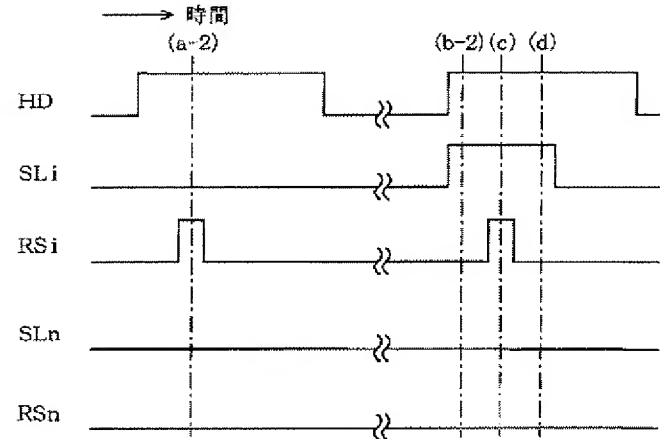


(16)

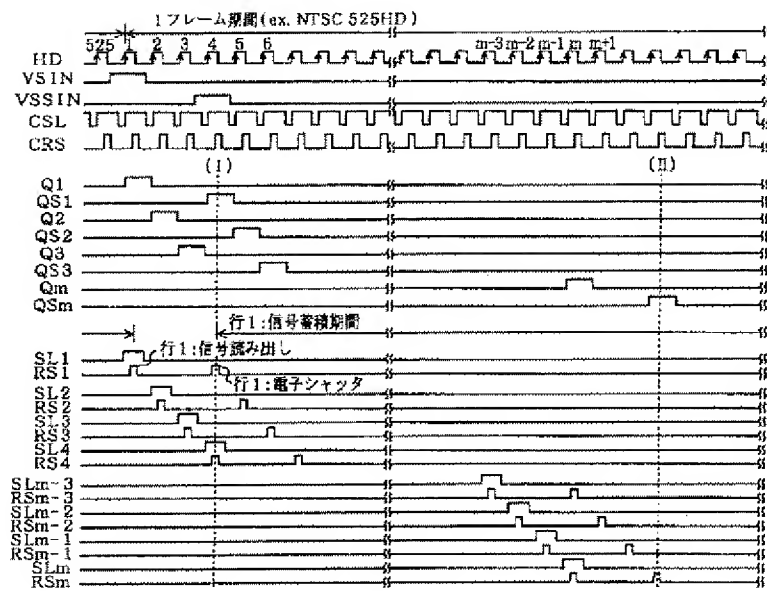
【☒ 10】



【图 12】



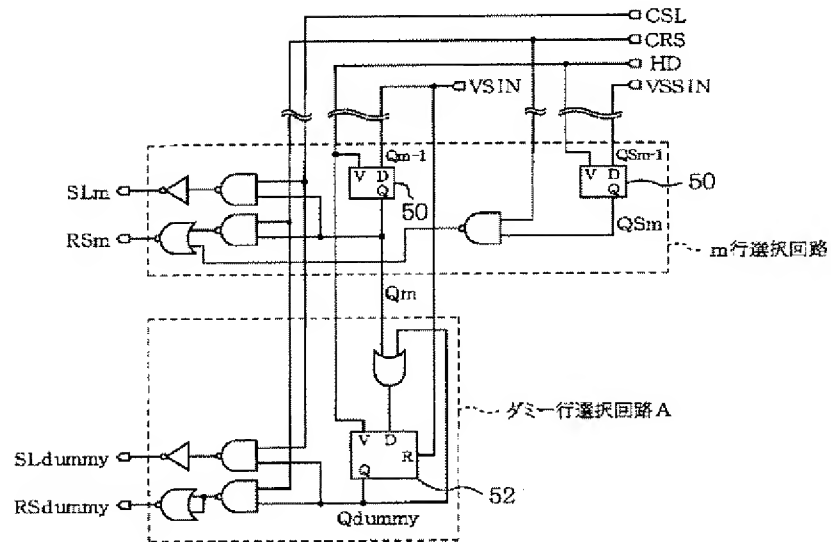
【图 1-1】



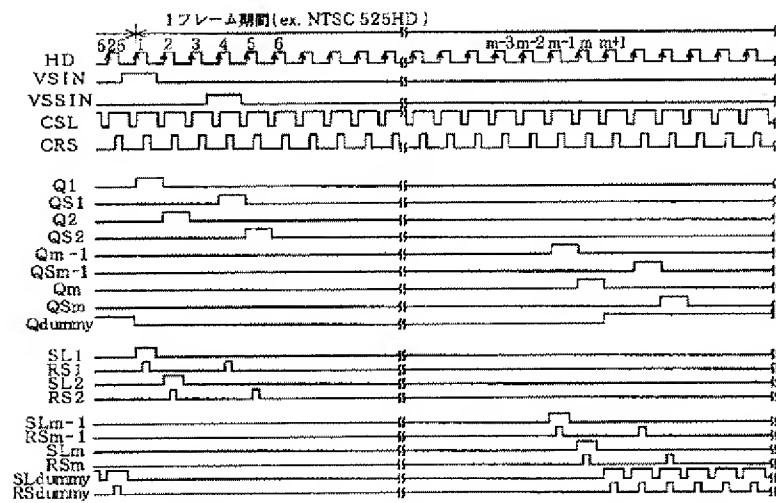


(18)

【図 16】

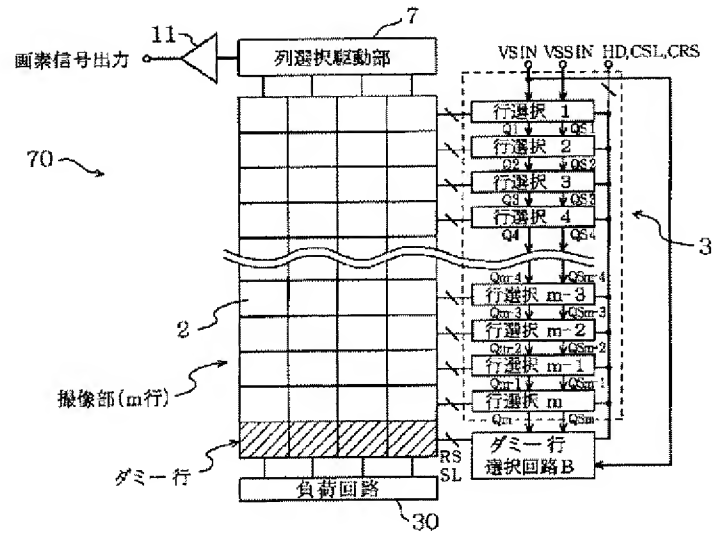


【图 17】

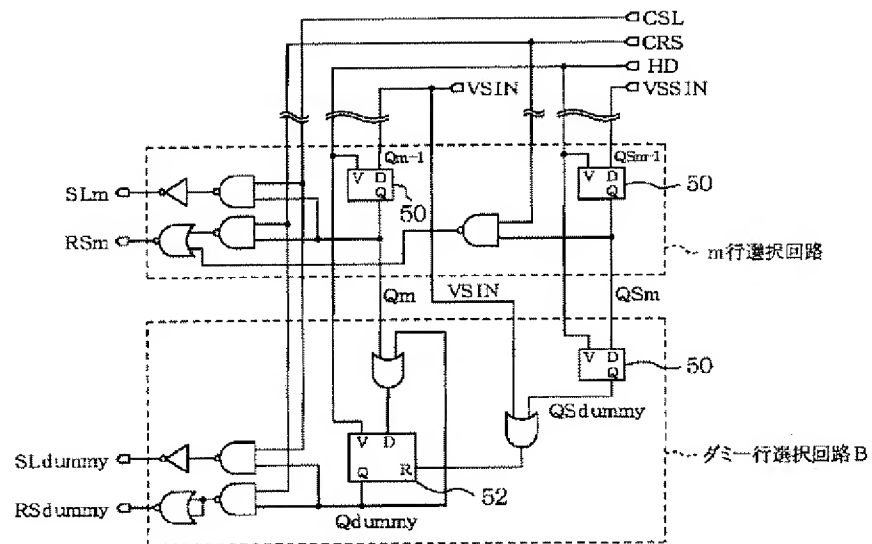


(19)

【图 18】

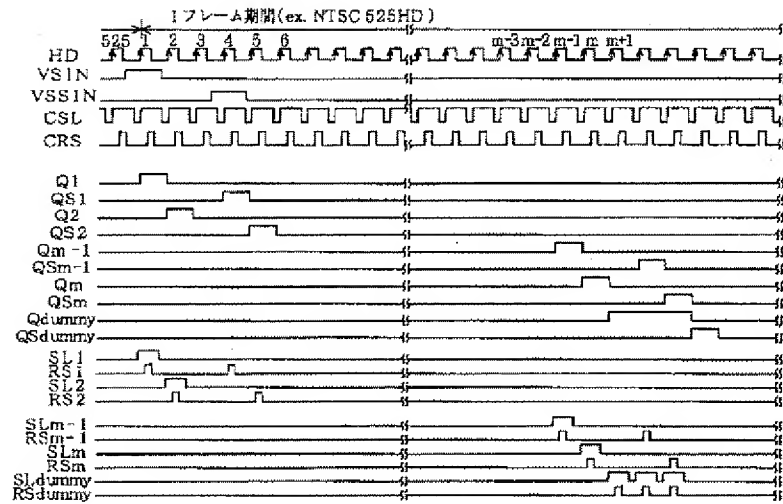


【图 19】



(20)

【図 20】



## 【手続補正書】

【提出日】平成11年10月8日(1999. 10. 8)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項14

【補正方法】変更

【補正内容】

【請求項14】 前記読み出し動作のための前記ダミー画素行の選択は、前記有効画素領域内の最終行(第m行)が選択された後に開始され、前記有効画素領域内の最終行(第m行)に前記電子シャッター動作のためのリセット信号が与えられた後、停止されることを特徴とする請求項12または13に記載の増幅型固体撮像装置の駆動方法。